

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年4月21日 (21.04.2005)

PCT

(10) 国際公開番号  
WO 2005/036651 A1

(51) 国際特許分類: H01L 29/786, 27/06, 29/41  
 (21) 国際出願番号: PCT/JP2004/014243  
 (22) 国際出願日: 2004年9月29日 (29.09.2004)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (30) 優先権データ:  
 特願2003-351029 2003年10月9日 (09.10.2003) JP  
 特願2004-271506 2004年9月17日 (17.09.2004) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者: および

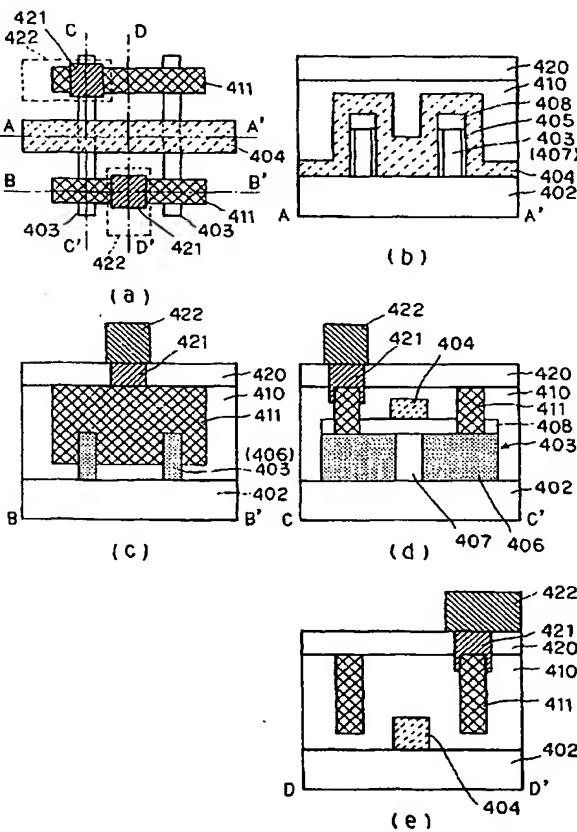
(75) 発明者/出願人(米国についてのみ): 竹内潔

(TAKEUCHI, Kiyoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 寺島 浩一 (TERASHIMA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 若林 整 (WAKABAYASHI, Hitoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 山上 滋春 (YAMAGAMI, Shigeharu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 小椋 厚志 (OGURA, Atsushi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 田中 聖康 (TANAKA, Masayasu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 野村 昌弘 (NOMURA, Masahiro) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 武田 晃一 (TAKEDA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

/続葉有/

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device comprising a MIS type field effect transistor having a semiconductor protrusion unit protruding toward a substrate flat surface, a gate electrode extending from the top portion onto the facing opposite-side surfaces of the semiconductor protrusion unit so as to bridge over it, a gate insulation film held between the gate electrode and the semiconductor protrusion unit, and a source/drain region provided to the semiconductor protrusion unit, an interlayer insulation film provided on the substrate including this transistor, and a buried conductor wiring formed in the interlayer insulation film, characterized in that the buried conductor wiring is connected with the source/drain region in the semiconductor protrusion unit and other conductors below the interlayer insulation film.

(57) 要約: 基体平面に対して突出した半導体凸部と、この半導体凸部を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体凸部の間に介在するゲート絶縁膜と、前記半導体凸部に設けられたソース/ドレイン領域とを有するMIS型電界効果トランジスタ、このトランジスタを含む基体上に設けられた層間絶縁膜、及びこの層間絶縁膜に形成された埋め込み導体配線を有し、この埋め込み導体配線は、前記半導体凸部のソース/ドレイン領域と、前記層間絶縁膜下の他の導電部とに接続されていることを特徴とする半導体装置。



電気株式会社内 Tokyo (JP). 辰巳 徹 (TATSUMI, Toru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 渡部 宏治 (WATANABE, Koji) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 20 号 第 16 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 國際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。